

Semiconductor Integration Circuit (the KR Laid-Open NO. 1997-131176)

In accordance with the present invention, a bias voltage control circuit of a ring oscillator circuit 103 includes a bias voltage adjustment circuit provided with a variable resistor. The bias voltage adjustment circuit adjusts bias voltage values of a high electric potential side bias voltage output circuit 106 and a low electric potential side bias voltage output circuit 107 according to a VCC between the high electric potential side bias voltage output circuit 106 and the low electric potential side bias voltage output circuit 107 or a temperature. The variable resistor and a VCC voltage divider are formed between the high electric potential side bias voltage output circuit 106 and the low electric potential side bias voltage output circuit 107. With use of the variable resistor, a bias voltage of the ring oscillator circuit 103 can be properly controlled according to each specific condition.

Accordingly, if the ring oscillator circuit 103 is used for an automatic self refresh function of a PSRAM, an increase in a frequency of a refresh operation per hour caused by an increase in the VCC can be prevented. Furthermore, because of the temperature dependency variable resistor, a resistance value decreases with respect to a temperature increase. Thus, it is possible to set an oscillator frequency that can guarantee a paused circuit operation for a predetermined time. Also, the present invention can provide the ring oscillator having a less power dependent ring oscillator frequency and a certain temperature characteristic and reduce the current consumption.

~~**Self Refresh Cycle Adjustment Device of Semiconductor Device (the KR Laid-Open No. 1997-123827)**~~

~~The present invention relates a self refresh cycle adjustment device of a semiconductor device. The present invention forms a temperature detecting means capable of detecting a temperature without causing any changes in a power voltage by using a temperature characteristic of a power voltage generation circuit to prevent a current consumption caused by quickly driving a self refresh cycle of dynamic random access memory (DRAM). Thus, it is possible for the present invention to adjust the self refresh cycle at a temperature equal to or more than a specific temperature.~~

특이31176

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁸ G11C 11/406	(45) 공고일자 (11) 등록번호 (24) 등록일자	1998년04월14일 특이31176 1997년11월27일
(21) 출원번호 (22) 출원일자 (30) 우선권주장 (73) 특허권자	특1994-007220 1994년04월07일 93-80863 1993년04월07일 일본(JP) 가부시키가이샤도시바(KABUSHIKI KAISHA TOSHIBA)	특1994-0025008 1994년11월19일 사토 후미오
(72) 발명자	일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지 구와가타 마사아키 일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키 가이샤 도시바 반도체시스템 기술센터내 마츠오 료스케 일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키 가이샤 도시바 반도체시스템 기술센터내 마루야마 게이지 일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키 가이샤 도시바 반도체시스템 기술센터내 마야와카 나오키즈 일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키 가이샤 도시바 반도체시스템 기술센터내 우에노 하사시 일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키 가이샤 도시바 반도체시스템 기술센터내	
(74) 대리인	김윤배, 이범일	

심사관 : 김동경 (특허공보 제5278호)

(54) 반도체 집적회로

요약

본 발명은 링발진회로(103)의 바이어스전압 제어회로에 있어서 고10저전위 각 측의 전압출력회로(106, 107)간에 VCC나 온도의 특정조건에 따라 변화하는 가변저항부 바이어스전압 조정회로를 구비하고, 그 가변저항과 바이어스전압 출력회로(106, 107)에서 VCC분압기를 형성하고 그 가변저항에 의해 발진회로(103)로의 바이어스전압을 각 특정조건에 따라 적절히 조정한다.

따라서, 발진회로(103)를 PSRAM의 오토 셀프 리프레쉬에 사용하면 VCC상승에 따른 단위시간당의 리프레쉬 동작 회수의 증대를 억지한다. 또한, 온도의 존성 가변저항에 의해 온도상승에 대해 저항치가 소저의 특 성에서 저하하는 것으로 필요한도의 포즈로의 회로동작을 보증할 발진주파수를 설정할 수 있다.

발진주파수의 전원의존성이 작고, 온도특성을 갖춘 링발진기를 제공할 수 있으며 소비전류의 저감에도 기 여할 수 있다.

도면도

도1

양재서

[발명의 명칭]

반도체 집적회로

[도면의 간단한 설명]

제1도는 본 발명의 실시예에 따른 링발진회로의 기본 구성을 PSRAM회로에 적용한 형상으로 나타낸 블록 도,

제2도는 제1도에 나타난 링발진회로가 VCC 의존특성을 지닌 것으로서 MOS트랜지스터로 짜맞추어진 경우의 구체적인 구성을 나타낸 회로도,

제3도는 VCC 의존특성을 실현하는 가변저항회로의 변형예를 나타낸 회로도,

제4도는 VCC 의존특성을 실현하는 가변저항회로의 다른 변형예를 나타낸 회로도,

제5도는 VCC와 제어전압발생회로의 출력전압과의 관계를 나타낸 곡선도,

제6도는 VCC와 제어전압발생회로의 출력(가변제어 트랜지스터의 VGS)과의 관계를 나타낸 곡선도,

제7도는 본 발명의 회로와 종래 회로와의 VCC 상승에 따른 발진회로 본체부 소비전류의 증대를 비교한 실험결과를 나타낸 곡선도,

제8도는 제1도에 나타난 링발진회로가 온도의존특성을 지닌 것으로서 MOS트랜지스터로 구성된 경우의 회로도,

제9도는 제8도(a)에 나타난 온도의존성 가변저항회로의 구성저항소자 단체저항 및 합성저항의 온도특성을 나타낸 곡선도,

제10도는 제8도(b)에 나타난 온도의존성 가변저항회로의 구성저항소자 단체저항 및 합성저항의 온도특성을 나타낸 곡선도,

제11도는 제8도(c)에 나타난 온도의존성 가변저항회로의 구성저항소자 단체저항 및 합성저항의 온도특성을 나타낸 곡선도,

제12도는 PSRAM의 회로동작을 보충하기 위해 필요한 리프레쉬주기의 온도 특성인 최악 포즈특성(TR0), PSRAM의 리프레쉬주기 설정에 온도 의존특성을 지닌 저항소자단체를 갖춘 링발진회로를 사용한 경우의 리프레쉬주기의 온도특성(TR1), PSRAM의 리프레쉬주기 설정에 종래 링발진회로를 사용한 경우의 리프레쉬주기의 온도특성(TR2)을 나타낸 곡선도,

제13도는 온도의존성 저항소자 단독사용 및 합성저항회로 사용시 각 경우의 바이어스 전류에대한 온도특성을 나타낸 곡선도,

제14도는 온도의존성 수동저항소자의 한예인 고저항의 제조방법을 나타낸 공정별 디바이스 단면도,

제15도는 VCC의존성 및 온도의존성 양측을 지닌 가변저항회로의 한예를 나타낸 회로도,

제16도는 종래 링발진회로의 구성을 나타낸 회로도,

제17도는 제16도에 나타난 회로의 VCC 및 온도에 대한 각 문제점을 나타낸 곡선도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|--------------------------------|-------------------------|
| 101 : 발진회로 본체부, | 102 : 바이어스 제어회로, |
| 103 : 링발진회로, | 104 : 고전위측 바이어스회로, |
| 105 : 저전위측 바이어스회로, | 106 : 고전위측 바이어스전압 출력회로, |
| 107 : 저전위측 바이어스전압 출력회로, | |
| 108 : 바이어스전압 조정회로, | |
| 109,1091,1091 : VCC의존성 가변저항회로, | |
| 26,27,33,34 : 수동저항소자, | 32,32',35 : 가변제어 트랜지스터, |
| 110 : 제어전압 발생회로, | 201 : 바이너리 카운터, |
| 202 : 분주 디코더, | 203 : PSRAM 셀 어레이, |
| 204 : 어드레스 카운터, | 205 : 행디코더, |
| 206 : 감지 앰프, | 207 : 어드레스 갱신 검출부, |
| 208 : 딜레이 라인, | 8a8c : 온도의존성 가변저항회로, |
| 36,38,40 : 온도의존성 수동저항소자, | |
| 37,39,41,42 : 온도 비의존성 수동저항소자, | |

[발명의 상세한 설명]

(산업상의 이용분야)

본 발명은 반도체 집적회로에 관한 것으로, 특히 초단의 입력과 최종단의 출력이 연결되는 곳에서 링형상으로 접속된 기수단의 인버터회로로 이루어진 링발진회로를 구비한 반도체 집적회로에 관한 것이다.

(종래의 기술 및 그 문제점)

종래, 기수단의 인버터회로를 링형상으로 연결하고 기수단이지만 그러므로 각 인버터회로의 입출력노드의 레벨이 일정레벨로 안정되지 않고 반복해서 발생하는 것으로 되는 총방전동작을 이용해서 그 총방전동작의 반복으로 어느 주파수의 신호를 얻는 링발진회로가 알려져 있다. 이런 종류의 링발진회로에서 발진 주파수가 높다고 하는 것은 그만큼 단위시간 당의 총방전 도자회수가 많게되고, 소비전류의 다량을 의미하는 것이 되므로 파워를 억제하기 위해서는 상기 링 발진기에서는 발진주파수가 필요 이상으로 높게 되지 않도록 해야한다.

덧붙여서 말하면, 전지에서 동작하는 휴대용 전자기기가 유행인 요즘에는 전지를 가능한 오래동안 지니도록 한다는 요구가 있고, 이것으로부터도 소비전류의 시간이 주목받고 있다.

제16도는 관련된 소비전류의 저감요소(低減要素)가 가미된 종래링발진회로 예의 구성을 나타낸 것이다.

상기 도면에 있어서 801은 발진회로 본체부이며, 이 발진회로 본체부(801)는 인버터회로(IV1IV5)를 갖추고, 이들이 다단 형상으로 세로로 쌓여져 접속될과 더불어 그 초단의 인버터회로(IV1)의 입력단과 9번째의 인버터회로(IV5)의 출력단이 연결되어 인버터회로(IV1IV5)의 5단 링접속으로 이루어진 링발진회로가 형성되어 있다. 각 인버터회로(IV1IV5)는 CMOS회로로 이루어져 있고, 1은 인버터회로(IV1)를 구성하는 P 채널형 MOS(이하, PMOS로 칭함)트랜지스터, 2는 마찬가지로 N채널형 MOS(이하, NMOS로 칭함)트랜지스터, 3은 인버터회로(IV2)를 구성하는 PMOS 트랜지스터, 4는 마찬가지로 NMOS 트랜지스터, 5는 인버터회로(IV3)를 구성하는 PMOS 트랜지스터, 6는 마찬가지로 NMOS 트랜지스터, 7은 인버터회로(IV4)를 구성하는 PMOS 트랜지스터, 8는 마찬가지로 NMOS 트랜지스터, 9는 인버터회로(IV5)를 구성하는 PMOS 트랜지스터, 10은 마찬가지로 NMOS 트랜지스터이다.

발진회로 본체부(801)는 다시 인버터회로(IV1IV5)의 각 트랜지스터(110)를 바이어스하는 바이어스회로를 갖추고 있고, 이 바이어스회로는 PMOS 트랜지스터(11, 13, 15, 17, 19)와 NMOS 트랜지스터(12, 14, 16, 18, 20)로 구성되어 있다. PMOS 트랜지스터(11)는 PMOS 트랜지스터(1)와 VCC 전원전위와의 사이에 접속되며, 이 트랜지스터(1)의 바이어스를 책임지는 것으로 되고, NMOS 트랜지스터(12)는 NMOS 트랜지스터(2)와 접지전위간에 접속되어 이 트랜지스터(12)의 바이어스를 행하는 것으로 되어 있다. 마찬가지로, 다른 바이어스 트랜지스터(1320)는 다른 인버터 트랜지스터(310)에 바이어스소자로서 할당되어 있다.

802는 바이어스 제어회로부이며, 이 바이어스 제어회로부(802)는 PMOS 트랜지스터(21)와 NMOS 트랜지스터(22)와 수동저항소자(23)로 구성되어 있다.

PMOS 트랜지스터(21)의 소스-드레인은 VCC 전원전위와 수동저항소자(23)의 고전위 측 단부와의 사이에 접속되면서 드레인과 게이트는 단락되어 PMOS 트랜지스터(11, 13, 15, 17, 19)의 게이트에 접속되어 있다.

NMOS 트랜지스터(22)의 소스-드레인은 접지전위와 수동저항소자(23)의 저전위 측 단부와의 사이에 접속되면서 드레인과 게이트는 단락되어 있고 그 접속점은 NMOS 트랜지스터(12, 14, 16, 18, 20)의 게이트에 접속되어 있다.

이상과 같은 구성을 갖춘 회로는 다음과 같이 동작한다.

지금 예컨대, 인버터회로(IV1)의 입력단(즉, 노드nd1)에 L(로우레벨)이 입력된 것으로 한다. 그러면, 인버터회로(IV1)의 출력단과 인버터회로(IV2)의 입력단과의 접속점인 노드 nd2는 H(하이레벨)로 상승하며, 이에 연동(連動)해서 인버터회로(IV2)의 출력단과 인버터회로(IV3)의 입력단과의 접속점인 노드(nd3)는 L로 하강한다. 마찬가지로 노드(nd4)는 H, 노드(nd5)는 L로 되려고 한다. 이와 같은 노드(nd1)를 시점으로해서 노드(nd5)를 종점으로 하는 연쇄적인 동작을 1사이클로한 경우 다음 사이클에서는 노드(nd1)는 먼저 사이클과는 반대의 H로 천이(遷移)하려고 한다. 그 결과, 다른 노드(nd2nd5)도 반전하려고 한다. 이와 같은 사이클이 반복된 결과 그 각 노드(nd1nd5)에서의 총방전시간으로 정해진 일정 주파수의 신호가 각 노드(nd1nd5)로부터 얻어지게 된다.

그런데, PMOS 트랜지스터(21) 및 NMOS 트랜지스터(22)의 출력노드(nd21, nd22)의 전위는 저항소자(23)의 크기에 역비례한다. 따라서 저항소자(23)의 크기에 따라 이들 노드(nd21, nd22)의 전위를 트랜지스터(21, 22)의 VGS의 임계치(V_{tp}, V_{tn}) 근방에서 억제할 수 있다. 즉, 노드(nd21, nd22)의 각 전위 V_{21}, V_{22} 는

$$V_{21} = V_{CC} - V_{tp} \quad (1)$$

$$V_{22} = V_{tn} \quad (2)$$

로 설정된다.

그리고, 발진회로 본체부(801)의 트랜지스터(110)의 게이트, 소스간 전압 V_{GS} 는 바이어스 제어회로부(802)의 출력에 의해 정해진다. 결국, PMOS 트랜지스터(1, 3, 5, 7, 9)의 V_{GS} 대략

$$V_{GS} = V_{tp} \quad (3)$$

로 되며,

NMOS 트랜지스터(2, 4, 6, 8, 10)의 V_{GS} 는 대략

$$V_{GS} = V_{tn} \quad (4)$$

로 된다.

여기서, 상기 V_{GS} 는 트랜지스터(110)의 전류를 제한하는 것이며, V_{GS} 가 V_{tp}, V_{tn} 의 근방에서 억제되는 것으로 하면 트랜지스터(110)의 전류가 필요로 되는 최소한도내에서 억제되는 것으로 되어 소비전류의 저감을 도모할 수 있는 것이다.

그러나, 상기 링발진회로에 있어서는 전원전압의 증가에 따라 트랜지스터(110)의 V_{GS} 가 크게 되며 이에 따라 제17도(a)의 곡선 F에 나타낸 바와 같이 발진주파수가 높게 된다. 또한, 전원전압에 대해 비례적으로 소비전류가 증대한다는 문제가 있다.

본 발명의 목적중 하나는 발진주파수의 전원전압 의존성을 종래보다도 작게한 링발진회로를 제공하는 것에 있다.

또한, 발진주파수의 상승은 상기 링발진회로가 사용되고 있는 회로에 대해 소비전류를 증대시키는 것에도 관계가 있다. 예컨대, 링발진회로가 PSRAM의 셀프 셀 리프레쉬회로에 사용되고 있는 경우를 생각한다. 상기 리프레쉬주기 회로에서는 링발진회로의 출력을 분주(分周)하고, 적당한 주파수로 변환한 후 그 주파수로 정해지는 주기에서 리프레쉬동작을 행한다. 이 리프레쉬동작의 경우에는 당연히 전류를 소비하는 것으로 되지만 링발진회로의 발진주파수가 상승하면 그만큼 리프레쉬동작의 반복주기가 짧게 되어 소비전

류를 증대시키는 것으로 되는 것이다.

본 발명의 또다른 하나의 목적은 발전주파수가 온도의존성을 지닌 링발진 회로를 제공하는 사항에 있다.

더구나, 상기 리프레쉬동작이 필요한 반도체 메모리셀의 포스트특성은 통상 환경의 온도가 낮을수록 좋다. 결국, 제1도(b)의 곡선(T0)으로 나타난 바와 같이 환경온도가 낮을수록 단위시간당의 리프레쉬회수가 적게 완료되는 것으로 다시말하면, 환경온도가 높을수록 리프레쉬동작의 주기를 짧게하고 단위시간당의 리프레쉬회수를 많게 할 필요가 있다. 그 때문에 제1도(b)의 곡선(T2)으로 나타난 바와 같이 일반적으로 리프레쉬주기는 그 포스트특성에 맞춰서 회로동작을 보증하는 온도범위에 있어서의 최악인 온도환경(가장 고온인 환경)에 있어서도 확실히 리프레쉬동작이 이루어지도록 설정된다. 이 때문에 온도가 낮을수록 단위시간당의 필요회수를 상당히 상회하는 회수의 리프레쉬동작이 행해지도록 되버려 이것으로부터도 소비전류를 증대시키는 것이 되고있다.

(발명의 목적)

본 발명은 상기한 점을 감안하여 발명된 것으로, 소비전류의 저감을 도모하는 것이 가능한 링발진회로를 형성할 수 있는 반도체 집적회로를 제공함에 그 목적이 있다.

(발명의 구성)

상기 목적을 달성하기 위한 본 발명은, 기수단의 CMOS인버터회로로 이루어진 링발진회로와 상기 CMOS인버터회로의 고전위측 트랜지스터를 바이어스하는 고전위측 바이어스회로, 상기 CMOS인버터회로의 저전위측 트랜지스터를 바이어스하는 저전위측 바이어스회로, 상기 고전위측 바이어스회로로 바이어스전압을 출력하는 고전위측 바이어스전압 출력회로, 상기 저전위측 바이어스회로로 바이어스전압을 출력하는 저전위측 바이어스전압 출력회로, 특정의 조건에 응해서 변화하는 가변저항회로를 상기 고전위측 바이어스전압 출력회로와 상기 저전위측 바이어스 전압출력회로와의 중간에 이들과 더불어 상기 전원전압의 분압기가 형성되도록 삽입하고, 그 저항치의 변화에 의해 상기 고전위측 바이어스전압 출력회로와 상기 저전위측 바이어스전압 출력회로와의 출력전압을 가변 하는 바이어스전압 조정회로를 구비하고 있는 것을 특징으로 하고있다.

상기 특정 조건으로서의 예컨대, 전원전압을 설정할 수 있다.

이 경우, 바이어스전압 조정회로는 예컨대, 수동저항기의 중간 노드에 가변제어 트랜지스터의 소스-드레인을 접속하고, 이 가변 제어트랜지스터의 도통상태에 의해 그 양단간의 저항치를 가변하는 전원의존성 가변저항회로와 전원전압의 상승에 따라 상기 가변 제어트랜지스터의 게이트-소스간 전압이 작게 되도록 이 가변 제어트랜지스터의 게이트전위를 제어하는 제어전압 발생회로를 구비함으로써 실현할 수 있다.

또한, 전원의존성 가변저항회로는 직렬접속된 복수의 수동저항소자와 이 복수의 수동저항소자의 내부의 1개의 저항소자의 일단에 그 드레인이 접속되면서 그 1개의 저항 소자의 타단에 소스가 접속된 가변 제어트랜지스터로 이루어지는 구성으로 될 수 있다.

혹은, 상기 전원의존성 가변저항회로는 직렬접속된 복수의 수동저항소자와 상기 복수의 수동저항소자 중의 제1저항소자와 제2저항소자와의 사이에 그 드레인-소스간 전류로가 접속된 가변 제어트랜지스터를 구비한 구성으로해도 좋다.

한편, 제어전압발생회로는 고전위측 전원과 저전위측 전원의 사이에 전류로가 서로 직렬로 접속된 복수의 분압제어 트랜지스터를 구비하고, 이 복수의 분압제어 트랜지스터의 전류로 상호접속점으로부터 발생되는 전원전압의 중간전위에 의해 가변제어 트랜지스터의 게이트전위를 제어하는 중간전위 발생회로에 의해 구성될 수 있다.

다음에, 특정조건으로서 온도를 설정하는 것도 있다.

이 경우의 바이어스전압 조정회로는 예컨대, 온도특성이 다른 복수의 수동저항소자의 조합으로 이루어진 온도의존성 가변저항회로에 의해 형성된다.

상기 온도의존성 가변저항회로는 온도변화에 대해서 소정의 저항치를 유지하는 온도 비의존성 저항소자와 이 온도 비의존성 저항소자에 대해 병렬로 접속되며, 상기 온도변화에 대해 부의 특성을 갖춘 온도의존성 저항소자로 실현할 수 있다.

혹은, 온도변화에 대해서 소정의 저항치를 유지하는 온도비의존성 저항소자와, 이 온도비의존성 저항소자에 대해서 직렬로 접속되며, 상기 온도변화에 대해서 부의 특성을 갖춘 온도의존성 저항소자에 의해서도 온도의존성 가변저항회로를 실현할 수 있다.

더구나, 상기 온도의존성 가변저항회로는 온도변화에 대해 소정의 저항치를 유지하는 온도비의존성 저항소자와 이 온도비의존성 저항소자에 대해 병렬로 접속되며, 상기 온도변화에 대해 부의 특성을 갖춘 제1온도의존성 저항소자와 이 온도 비의존성 저항소자에 대해 직렬로 접속되며, 상기 온도변화에 대해 부의 특성을 갖춘 제2온도의존성 저항소자로 구성되어 있어도 좋다.

특정조건으로서의 전원전압 및 온도 양쪽을 설정할 수도 있다. 이 경우에는 각 조건에 대응한 상기 구성의 각종 조합에 의해 전원전압이온도의 양 조건 의존성을 갖춘 가변저항 회로를 실현할 수 있다.

그리고 상기 구성에 더해 다이내믹형 메모리셀과 링발진회로의 출력주파수에 근거한 사이클로 상기 메모리셀을 리프레쉬하는 리프레쉬 기능부를 구비하는 것이 바람직한 PSRAM을 형성할 수 있다.

(작용)

상기와 같이 구성된 본 발명은 본 발명의 집적회로에 의하면 고전위측저전위측의 바이어스전압 출력회로와 전원전압이나 온도등의 특정조건에 따라 변화하는 가변저항회로에서 전원전압의 분압기가 형성되기 때문에 그 가변저항회로의 저항치 변화에 의해 링발진회로의 바이어스전압을 그들의 조건에 따라 소비

전류절약의 관점에서 적절히 조정하는 것이 가능하게 된다.

즉, 전원의존성 가변저항회로서 전원전압의 상승에 대해 저항치가 소정의 특성에서 증대하도록 해둔 것으로, 전원전압이 상승해도 바이어스전압 출력회로나 링발진회로에서 흐르는 전류의 증대를 증대대비해 억제하고, 링발진회로를 형성하는 트랜지스터의 게이트,소스간의 전위차의 변화를 증대 대비해 적게하고 링발진회로의 발진주파수의 상승을 억제할 수 있다. 이에 의해 전원전압의 변화에 대해 증대보다도 안정된 발진주파수를 유지하는 링발진회로를 제공할 수 있다.

또한 이것을 링발진회로를 PSRAM의 셀프 리프레쉬회로에 사용한 경우에는 전원전압의 증가에 따라 리프레쉬주기가 불필요하게 짧게 되며 결국, 리프레쉬동작의 단위시간당의 회수(回數)가 불필요하게 많게 되는 것을 방지할 수 있고, 이러한 관점으로부터도 소비전류의 증대를 억제할 수 있는 것으로 된다.

더구나, 온도의존성 가변저항회로서 온도의 상승에 대해 저항치가 소정의 특성에서 변화하도록 해두는 것으로 온도에 대해 발진주파수를 변화시키는 링발진회로를 제공할 수 있다. 또한, PSRAM의 셀프 리프레쉬회로에 사용된 경우에는 온도에 따라 리프레쉬주기를 가변하며 결국, 온도가 높을수록 리프레쉬주기가 짧고, 온도가 낮을수록 리프레쉬주기가 길어지는 최악의 포지티브성에 따라 리프레쉬주기를 변화시킬 수 있다. 따라서, 링발진회로를 PSRAM에 적용하는 경우 증대 그 PSRAM의 회로동작을 보충할 온도범위에 있어서 최악인 조건(가장 고온조건)에서의 리프레쉬주기에 맞춰서 링발진회로의 발진주파수를 설정하고 있기 때문에 온도조건이 저온이 될수록 전류의 소비에 관계가 있지만 본 발명에 의한 경우에는 필요한도의 리프레쉬주기에서 PSRAM의 회로동작을 보충하도록 링발진회로의 발진주파수를 설정할 수 있으므로 소비전류의 절약을 도모할 수 있게된다.

실시에

이하, 예시도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

제1도는 본 발명의 실시예에 따른 링발진회로의 기본 구성을 PSRAM회로에 적용한 형상으로 나타낸 것이다.

본 도면에 있어서 101은 발진회로 본체부이며, 이 발진회로 본체부(101)는 제8도에 나타낸 발진회로 본체부(801)와 동일 회로구조의 것으로 기수단의 CMOS인버터회로로 이루어진 링발진회로(103)와 그 CMOS인버터회로의 고전위측 트랜지스터를 바이어스하는 고전위측 바이어스회로(104), 등 CMOS인버터회로의 저전위측 트랜지스터를 바이어스하는 저전위측 바이어스회로(105)를 구비하고 있다.

102는 발진회로 본체부(10)의 바이어스회로(104, 105)의 바이어스전압을 제어하는 바이어스 제어회로이고, 고전위측 바이어스전압 출력회로(106)와 저전위측 바이어스전압 출력회로(107)와 바이어스전압 조정회로(108)로 대략 구성되어 있다. 바이어스전압 출력회로(106, 107)는 각각 고전위측 혹은 저전위측 바이어스회로(104, 105)로 바이어스전압을 출력하는 것이다. 바이어스전압 조정회로(108)는 후술하는 전원전압(VCC)이나 온도에 따라 저항치가 변화하는 가변저항호스전압 출력회로(106, 107)간에 이들과 더불어 전원전압(VCC)의 분압기가 형성되도록 배치하고, 그 저항치의 변화에 따라 양바이어스전압 출력회로(106, 107)의 출력전압을 가변하는 것이다.

이상과 같은 구성에 의해 바이어스전압 조정회로(108)의 가변저항기가 전원전압(VCC)이나 온도에 따라 고전위측/저전위측 각 바이어스전압을 조정한다. 이에 의해 전원전압(VCC)에 의한 발진주파수의 상승을 억제할 수 있게 된다.

다음에, 200은 4개의 바이너리카운터(201)로 이루어진 카운터회로, 202는 분주디코더이고, 이들은 링발진회로(103)의 출력에 대해 분주기로써 기능한다.

즉, 링발진회로(103)의 출력은 각 바이너리카운터(201)에 구동펄스로서 공급되며 각 바이너리카운터(201)의 출력이 카운터회로(200)의 출력으로서 분주디코더(202)에 주어진다. 분주디코더(202)는 카운터회로(200)의 출력치가 설정치가 되면 1개의 펄스를 출력한다. 따라서 링발진회로(103)가 그 설정치로 정해지는 복수개의 펄스를 출력할 때마다 분주디코더(202)로부터 1개의 펄스가 출력되는 곳에서 링발진회로(103)의 출력분주가 이루어지고 있다.

203은 메모리셀 어레이, 204는 어드레스 카운터, 205는 행디코더, 206은 감지증폭기이며 이들은 리프레쉬 기능을 포함한 PSRAM회로를 구성하는 것이다.

어드레스카운터(204)는 분주디코더(202)가 1개의 펄스를 출력할 때마다 결국 링발진회로(101)로부터 상기 설정 개수의 펄스가 출력될 때마다 기동이 되어 행디코더(205)와의 협동에 의해 인크리먼트 동작한다. 즉, 어드레스 카운터(204)는 분주디코더(202)로부터의 1개의 펄스에 의해 먼저 1개만 카운트업(UP)되고 그 다음은 후술하는 행디코더(205)의 어드레스 갱신검출부(207)로부터의 펄스에 의해 카운트 동작한다. 어드레스 카운터(204)의 출력은 행디코더(205)에서 내장버퍼에 취입된다. 이 버퍼내의 어드레스치가 갱신되면 어드레스 갱신검출부(207)로부터 검출신호로서 1개의 펄스가 출력된다. 이 펄스가 어드레스 카운터(204)에 공급되는 곳에서 어드레스카운터(204)의 카운트 값이 갱신되며, 이것이 행디코더(205)의 버퍼내용의 갱신, 검출부(207)의 검출이라는 동작이 반복됨으로써 행어드레스가 인크리먼트된다.

메모리셀 어레이(203)의 워드선은 행디코더(205)의 버퍼에 격납(格納)되어 있는 어드레스에 대응하는 것이 상승되도록 되어있고, 상기 인크리먼트 동작에 있어서의 행디코더(205)의 버퍼로의 어드레스 취입에 동기되어 각 어드레스의 워드선이 순차 상승되도록 되어있다. 어드레스 갱신검출부(207)의 출력펄스는 딜레이라인(208)을 통해서 감지증폭기(206)의 이네이불신호로서 공급된다.

따라서, 감지증폭기(206)는 워드선의 상승후, 그 딜레이시간만큼 늦게 활성화 된다. 이 동작이 상기 인크리먼트 동작에 의해 각 행어드레스에 대응하는 셀에 대해 행해지며 전체 셀의 리프레쉬동작이 행해지도록 되어있다.

이상으로부터 명확한 바와 같이 셀의 리프레쉬주기는 링발진회로(103)의 출력 클록펄스를 분주한 주기에 상당하고, 링발진회로(103)의 발진주파수에 의해 결정되지만 바이어스전압 조정회로(108)에 의해 VCC나

온도에 따라 링발진 회로(103)의 발진주파수가 적절하게 조절된다.

따라서, 종래 링발진회로의 발진주파수는 VCC가 올라가면 상승하고, 소비전류를 증가시키고 있지만 그와 같은 것에 기인하는 소비전류의 증가를 억제할 수 있다.

또한 종래 PSRAM으로 리프레쉬동작이 필요한 메모리셀의 포지트성은 온도 의존성이 있으므로 온도의 최악사용 환경에 맞춰서 링발진회로의 발진주파수를 높게 설정하고, 이것이 낮게 완료된 경우에도 고주파수로 발진시켜 쓸데없는 전류를 흘려 소비전류를 증가시키고 있지만, 이것에 기인하는 소비전류의 증가도 억제가능하게 된다.

제2도는 제1도에 나타난 회로가 VCC의존특성을 지닌 것으로서 MOS트랜지스터로 짜맞추어진 때의 구체적인 구성을 나타낸 것이며 이하, 상기 도면에 나타난 구성에 있어서 설명하지만 전술한 바와 같이 발진회로 본체부(101)는 제 16도에 나타난 것과 동일하므로 여기서는 그 설명을 생략하고 바이어스 제어회로(102)에 대해서만 설명하는 것으로 한다.

제2도에 있어서 고전위측 바이어스전압 출력회로(106)는 게이트,소스가 단락된 PMOS트랜지스터(24)로부터 이루어지며, 저전위측 바이어스전압 출력회로(107)는 게이트,소스가 단락된 NMOS트랜지스터(25)로 되어 있고, 각 트랜지스터(24,25)의 게이트전위가 고전위측, 저전위측 각각 대응하는바이어스 트랜지스터(1120)의 게이트전위로 된다.

바이어스조정회로(108)는 가변저항회로(109)와 제어전압발생회로(110)로부터 대략 구성되어 있다.

가변저항회로(109)는 직렬접속된 2개의 수동저항소자(26,27)와 이들 중의 고전위측에 위치하는 저항소자(26)의 고전위단에 그 드레인이 접속되면서 동저항소자(26)의 저전위단에 소스가 접속된 NMOS트랜지스터(32)로 구성되어 이 트랜지스터(32)의 도통상태에 의해 저항소자(26,27)의 직렬회로(이하, 수동저항 회로로 칭함) 양단간의 저항치를 가변하도록 되어 있다. 즉, 트랜지스터(32)에 흐르는 전류가 클수록 저항소자(26)의 효력이 저하하고, 해당 수동저항회로의 저항치는 저하한다. 반대로, 트랜지스터(32)에 흐르는 전류가 작을수록 저항 소자(26)의 효력이 증가하고, 해당 수동저항회로의 저항치가 증대한다.

상기 수동저항회로의 저항치가 클수록 트랜지스터(24,25)에 대해, 전원전압(VCC)의 분압이 올라가고, 반대로 말하면 트랜지스터(24,25)의 상대적인 분압비는 낮아지는 것으로 되기 때문에 전원전압(VCC)이 클수록 해당 수동저항회로의 저항치가 증대하도록 되면 전원전압(VCC)의 상승에 따른바이어스 트랜지스터(1120)의 게이트, 소스 주변의 전위의 상승, 링발진회로(103)의 발진주파수의 상승을 억제할 수 있게 된다.

이 때문에 제어전압 발생회로(110)는 전원전압(VCC)의 상승에 따라 트랜지스터(32)의 게이트-소스간 전압(VGS)이 작게 되도록 그 게이트전위를 제어하는 것으로, PMOS 트랜지스터(28,30)와 NMOS트랜지스터(29,31)로 구성되어 있다.

이들 트랜지스터(2831)는 그 전류로인 드레인-소스간에 전원-접지간에서 작용이 되도록 상호 접속되어 있고, 고전위측으로부터 순서대로 트랜지스터(28),트랜지스터(29),트랜지스터(30),트랜지스터(31)의 순서로 배치되어 있다.

트랜지스터(28,31)의 게이트에는 일정한 전압이 주어져서 트랜지스터(29,30)는 게이트,소스가 단락되어 있고 그 전류로 상호 접속 노드로부터 전원전압(VCC)의 중간전위를 발생하도록 되어 있다. 트랜지스터(32)의 게이트는 트랜지스터(28)의 소스와 트랜지스터(29)의 드레인과의 접속점의 전위가 인가되어 있다.

여기서, 제5도는 전원전압(VCC)과 제어전압 발생회로(110)의 출력전압과의 관계를 나타낸 것이며, 제6도는 전원전압(VCC)과 트랜지스터(32)의 VGS와의 관계를 나타낸 것이다. 저항소자(26,27)의 저항치 트랜지스터(2832)의 게이트폭(W)/채널길이(L) 비 등의 디멘전은 그들의 제5도와 제6도에 나타난 특성이 얻어지도록 결정된다.

즉, 먼저 트랜지스터(2831)의 W/L비는 일례를 나타내면 다음과 같이 결정된다. 트랜지스터(28,31)가 3/1000, 트랜지스터 29,30이 10/2 이다. 이것에 의해 트랜지스터(29,30)의 소스끼리의 접속노드의 전위인 Vcen은 전원전압(VCC)의 상승에 따라 선형으로 상승한다. 이때, 트랜지스터(29)의 드레인전위(V1)는 전원전압(VCC)의 0부근에서 최초에는 Vcen의 기울기보다도 급속도로 비선형으로 상승하고 그후, Vcen과 동일한 기울기로 상승한다. 또한, 트랜지스터(30)의 드레인전위(V2)는 전원전압(VCC)의 0부근에서 최초에는 Vcen의 기울기보다도 완만하게 비선형으로 상승하고 그후, Vcen과 동일한 기울기로 상승한다.

다음에, 제6도에 있어서 Val은 트랜지스터(32)의 소스전위에 상당하는 전압이고, VGS1은 V1-Val에 상당하는 것으로 상기 도면에서는 다음과 같은 특성을 나타내고 있다. 먼저, 상기한 V1의 전원전압 VCC=0 부근에서의 급한 기울기와 그후의 Vcen과 마찬가지로 완만한 기울기로 절환에 의해 VCC가 0으로부터 보드전압 VCCb에 도달할 때 까지의 사이는 트랜지스터(32)를 온시키는 정도로 VGS1이 확보되며, 그 보드전압(VCCb)을 넘으면 VGS1이 트랜지스터(32)를 온시키는 정도로 확보되지 않은 레벨 혹은 반대극성의 상태로 된다. 트랜지스터(32)가 온으로 되어 있는 사이는 VCC가 작을수록 전류가 크게 되며, 그 저항치가 작게 되어 트랜지스터(24)의 전류가 저항소자(26)를 지나는 비율이 적어지기 때문에 이 저항소자(26)의 효력이 적게 되고 수동저항회로 전체의 저항치가 낮아진다. 반대로, 트랜지스터(32)가 온으로 되어 있는 사이에 있어서 VCC가 크게 될수록 트랜지스터(32)의 저항치가 올라가고 저항소자(26)에 흐르는 전류가 많게 되어 수동저항회로 전체의 저항치가 상승한다. 트랜지스터(32) 및 저항소자(26,27)는 이상과 같은 특성이 얻어지도록 디멘전이 설정된다.

이와 같은 특성이 얻어지는 곳에서, 전원전압(VCC)이 낮게 되면 이에 따라 수동저항회로의 저항치가 작게 되고, 전원전압(VCC)이 높게 되면 이에 따라 수동저항회로의 저항치가 크게 되기 때문에 전원전압(VCC)의 변동, 특히 상승에 의해 링발진회로(103)에 있어서 바이어스 트랜지스터(1120)의 바이어스전압이 상승하는 것이 억제되고, 전원전압(VCC) 상승에 따른 링발진회로(103)의 발진주파수의 상승을 억제시킬 수 있게 된다.

이와 관련하여 제7도는 제2도에 나타난 본 발명의 회로와 제16도에 나타난 종래 회로와의 전원전압(VCC) 상승에 따른 I0, I1의 증대를 비교한 실험 결과를 나타난 것으로 각 링 발진기의 소비전류도 이것에 거의 비례한다.

상기 도면에 나타난 바와 같이 전원전압(VCC)상승에 따른 링 발진회로(103)의 발진주파수의 상승을 억제시키는 것으로 VCC가 큰 폭에서 소비전류의 저감을 도모할 수 있다. 더구나, I0는 종래 회로의 트랜지스터(21)에 흐르는 전류 I1은 본 발명의 회로의 트랜지스터(24)에 흐르는 전류이다.

또한, 굳이 시험할 것도 없이 본 실시예의 회로를 제1도에 나타난 PSRAM의 리프레쉬 회로계에 적용함으로써 더욱더 소비전류저감효과가 얻어지는 것을 명확하다.

제3도는 VCC의존특성을 갖춘 가변저항회로의 변형예를 나타낸 것이다.

본 도면에 나타난 가변저항회로(1091')는 제2도에 나타난 가변저항회로(109)에 있어서 NMOS트랜지스터(32) 대신에 PMOS 트랜지스터(321')가 설치되며, 그 게이트는 중간전위 발생회로(110)의 V2의 출력단에 접속되고, 소스-드레인은 저항소자(27)간에 접속되어 있다.

여기서, 제6도를 참조하면 Va2는 트랜지스터(321')의 소스전위에 상당하는 전압이고 VGS2는 Va1-V2에 상당한다. 상기 도면에서는 상기한 V2의 전원전압 VCC=0 부근에서의 급격한 기울기와 그후의 Vcen과 동일한 완만한 기울기로의 전환에 의해, VCC가 0으로부터 보드전압 VCCb에 도달할 때까지의 사이는 트랜지스터(321')를 온시킬 정도로 VGS2가 확보되며, 그 보드전압(VCCb)을 넘으면 VGS2가 트랜지스터(321')를 온시킬 정도로 확보되지 않은 레벨 혹은 반대 극성의 상태로 된다. 트랜지스터(321')가 온으로 되고 있는 사이는 VCC가 작을수록 전 특히 제131176호 10/19

류가 크게 되고, 그 저항치가 작게 되어 트랜지스터(24)의 전류가 저항소자(27)를 지나는 비율이 작게 되기 때문에 상기 저항소자(27)의 효력이 작게 되고 수동저항회로 전체의 저항치가 낮아진다. 역으로, 트랜지스터(321')가 온으로되고 있는 사이에 있어서 VCC가 크게 될수록 트랜지스터(321')의 저항치가 올라가고 저항소자(27)에 흐르는 전류가 많게 되어 수동저항회로 전체의 저항치가 상승한다. 트랜지스터(321') 및 저항소자(26, 27)는 이상과 같은 특성이 얻어지도록 디멘전이 설정된다.

상기와 같은 특성이 얻어지는 곳에서 전원전압(VCC)의 변동 특히, 상승에 의해 링발진회로(103)에 있어서 바이어스 트랜지스터(1120)의 게이트, 소스간의 전위차가 상승하는 것이 억제되며, 전원전압(VCC) 상승에 따른 링발진회로의 발진주파수의 상승을 억제시키는 것은 상기 제2도에 나타난 회로와 동등한 작용효과이다.

제4도는 위준특성을 갖춘 가변저항회로의 다른 변형예를 나타낸 것이다.

상기 도면에 나타난 가변저항회로(1091')는 직렬접속된 2개의 저항소자(33, 34)와 이들 저항소자(33, 34)간에 그 드레인-소스간 전류로가 접속된 NMOS트랜지스터(35)로 구성되어 있다. 이 트랜지스터(35)의 게이트에는 제어전압 발생회로(110)의 출력전압이 인가되며, 전원전압(VCC)이 상승할수록 흐르는 전류가 작게 되도록 제어되지만, 이 경우 제2도에 나타난 것과는 다르게 트랜지스터(35)는 완전히 비도통상태로 되지 않도록 제어되며 그 저항치의 상승에서 트랜지스터(24)를 흐르는 전류를 억제하도록 되어있는 것이다.

다음에, 제8도는 제1도에 나타난 회로가 온도특성을 갖춘 것으로서 구성되는 경우의 회로에 관하여 설명하지만 그 전에 상기 도면에 나타난 발진회로 본체부(101) 및 바이어스 제어회로(102; 제2도, 제16도에 나타난 것과 동일한 부분)의 동작특성에 대해 그 온도특성을 고려해 놓지 않고 다시 검토해 둔다.

먼저, 트랜지스터(24, 25)는 5극관 영역에서 동작하고 있으므로 트랜지스터(24)에 흐르는 전류(I1)는

$$I1 = \beta \frac{24(VGS24 - VTP24)^2}{2} \quad (5)$$

또한, 트랜지스터(11, 13, 15, 17, 19)중 5극관 영역에서 동작하고 있는 트랜지스터에 흐르는 전류(I05)는

$$I05 = \beta (VGS24 - VTP)^2 / 2 \quad (6)$$

따라서, VTP24=VTP인 때는 (6)을 (5)로 나누는 것에 의해

$$I05 = (\beta / \beta 24) I1$$

으로 되며 I05는 I1에 비례하는 것을 알 수 있다. 즉, I05와 I1과는 전류비율의 관계에 있다.

다음에, 트랜지스터(11, 13, 15, 17, 19)중 3극관 영역에서 동작하고 있는 트랜지스터에 흐르는 전류(I03)는

$$I03 = -\beta \{ (VGS24 - VTP) VDS - VDS^2 / 2 \} \quad (8)$$

따라서, VTP24=VTP인 때는 (8)을 (5)로 나누는 것에 의해

$$I03 = \{ (\beta / \beta 24) VDS / (VDS24 - VTP) - VDS^2 / 2 (VGS24 - VTP)^2 \} I1 \quad (9)$$

여기서, VGS24, VTP는 일정하다. 따라서, I03는 VDS와 I24로 정해진 바 I03는 I24에 비례하는 것을 알 수 있다.

이는 트랜지스터(25)와 트랜지스터(12, 14, 16, 18, 20)와의 관계에 있어서도 마찬가지인 것을 말한다. 따라서, 링발진회로(103)내에서 트랜지스터(1~20)에 의해 형성되는 전류통로의 전류에 비례하고 있음을 말할 수 있다.

이때 링발진회로(103)의 발진주파수 f가 동회로(101)의 전류에 비례하는 것으로 발진주파수(f)는 바이어스 제어회로(102)의 전류(I1)에 비례적 관계가 있는 것으로 된다. 이때 링발진회로(103)의 발진주기 T6는

$TG=1/f=K/11$ 으로 표현된다. (10)

이것을 바이어스 제어회로(102)의 저항 R의 관수(關數)로서 표현하면

$$TG=cR+d \quad (11)$$

로 표현되며 주기는 바이어스 제어회로(102)의 일부를 구성하는 제머전압 발생회로(108)는 수동저항소자(36)와 수동저항소자(37)와의 병렬회로부터 구성되고 있다. 저항소자(36)는 제9도에 있어서 곡선(R36)으로 나타낸 바와 같이 온도가 높을수록 저항치가 낮아지는 온도특성을 갖추고, 저항소자(37)는 제9도에 있어서 곡선(R37)으로 나타낸 바와 같은 온도가 변해도 저항치가 일정(약 10M Ω)한 온도특성을 갖춘 것이다. 이들의 저항소자(36,37)가 병렬로 접속됨으로써 그 합성저항 특성이 곡선(R8a)으로 나타나도록 된다.

결국, 온도특성이 다른 저항소자(36,37)를 병렬로 조합시킴으로써 저항의 온도특성을 다음과 같이 조절되고 있는 것으로 된다.

이 경우는 저항소자(37)의 저항치가 온도에 대해 변화하지 않으므로 온도 특성을 갖춘 저항소자(36)의 저항치가 어느 정도 크게 되어도 저항소자(37)에 의해 전류를 흘릴 수 있고 노드(nd81,nd82) 사이의 저항치의 상한은 저항소자(37)에 의해 그 저항치로 제한된다.

종래 온도특성을 거의 갖추지 않은 저항소자를 이용한 경우는 온도에 대해 링발진회로(801)의 주기는 거의 일정하지만 온도특성을 충분히 갖춘 저항소자를 이용함으로써 온도에 의해 링발진회로(103)의 발진주기를 바꿀 수 있다.

따라서, 예컨대, 상기 회로를 리프레쉬동작이 필요한 메모리 리프레쉬의 타이머로서 이용한 경우 등은 특히 유효하다.

여기서, 제12도는 PSRAM의 회로동작 보충때문에 필요한 리프레쉬주기의 온도특성인 최악포즈특성(TR0), PSRAM의 리프레쉬주기의 설정에 제16도에 나타낸 저항소자(23)를 저항소자(36)로 치환(置換)한 링발진회로(103)를 사용한 경우의 리프레쉬주기의 온도특성(TR1), PSRAM의 리프레쉬주기의 설정에 제16도에 나타낸 종래의 발진회로(801)를 사용한 경우의 리프레쉬주기의 온도특성(TR2)을 나타낸 것이다.

상기 도면에 나타낸 바와 같이 부호(TR0)의 PSRAM셀의 최악포즈특성에 대해 종래의 리프레쉬주기는 온도에 관련해 변화하지 않는 것으로부터 신호(TR2)로 나타낸 바와 같이 리프레쉬주기가 어떠한 온도조건에서도 셀의 최악포즈시간보다도 짧게 되도록 설정하고 있으므로 조건이 저온이 될수록 필요 이상으로 전류를 소비하고 있다.

이에 대해, 제16도에 나타낸 저항소자(23)를 저항소자(36)에 치환한것 만으로 부호(TR1)로 나타낸 바와 같이 온도에 따라 최악 포즈특성에 근접한 형으로 리프레쉬주기를 변화시킬 수 있다.

그러나, 이 저항소자(36) 단독사용의 경우(결국, 저항소자(37)와의 병렬회로로 해서 사용하지 않은 경우)에는 다음과 같은 것이 문제점으로서 나타난다.

먼저, 제12도의 곡선(TR1)으로부터도 유추되는 바와 같이 온도가 낮아지면 링발진회로의 바이어스 전류가 대단히 작게되는 것을 고려할 수 있다.

제13도는 저항소자(36) 단독사용의 경우의 바이어스전류(1B36), 합성저항회로(8a) 사용의 경우의 바이어스전류(1B8a), 후술하는 합성저항회로(8b,8c)사용의 경우의 바이어스전류(전자는 1B8b,후자는 1B8c)의 각각에 대해서 온도 특성을 나타낸 것이다.

부호(1B36)로 나타낸 곡선과 같이 그 전류가 어느 온도범위에서는 잔음레벨에 가까울수록 작게 되며, 그 온도범위에서의 회로동작이 정상으로 행해지는 거의 여부가 염려되는 것이다. 여기서, 저항소자(36)단독이 아니라 이 저항소자(37)를 병렬접속한 회로(8a)를 사용함으로써 저항치의 상한은 저항소자(37)의 저항치에 제한되도록 되어 링발진회로의 바이어스전류는 신호1B8a로 나타내도록 어느 온도 범위에서도 어느 일정치 이상은 언제나 확보되며, 또한 링 발진회로(103)의 발진주파수도 일정 이상으로 오르지 않게 된다.

다시 제12도로 돌아가서 곡선(TR0)으로 나타낸 최악포즈특성은 온도에 관련해서 어떤 분포를 갖는다. 그 때문에 저항소자(36) 단독 사용에 의한 경우 그 최악포즈특성과 곡선(TR1)으로 나타낸 리프레쉬주기 특성이 접근하고 있으면 메모리의 제조회에 포즈시험을 하는 경우 동작 온도의 전체 범위에 있어서 검토할 필요가 발생한다. 더구나, 곡선(TR1)의 기울기가 곡선(TR0)의 기울기 보다도 급격하면 리프레쉬주기가 포즈시간에 접근하는 최악조건이 저온측으로 되기 때문에 이때의 포즈시험은 저온측에서 행하는 것으로 되며, 1회의 포즈시험에 필요한 시간이 고온측에서 행하는 것보다도 2급수 이상의 긴 시간을 필요 하게 된다.

이에 대해 가변저항회로(8a)에 의하면 링발진회로(103)의 발진주기는 고온측에서 완만하게 되며, 최악조건은 고온측으로 되기 때문에 포즈시험은 고온측에서만 행해지면 완료되게 된다. 더해서 그 온도측에서의 포즈시험은 저온측에서 행하는 그것 보다도 짧은 시간에서 행할 수 있다. 이에 의해 포즈시험을 단시간으로 행할 수 있게 되어 설계에 요하는 시간의 단축, 제조회비의 저감을 도모할 수 있게 된다.

다음에 제8도(b)에 나타낸 가변저항회로(8b)는 수동저항소자(38)와 수동저항소자(39)와의 직렬회로로부터 구성되어 있고, 제10도는 각 저항소자 및 그 조합회로의 온도특성을 나타낸 것이다. 저항소자(38)는 제10도에 있어서 곡선(R38)으로 나타낸 바와 같이 온도가 높을수록 저항치가 낮아지는 온도특성을 갖추고 저항소자(39)는 제10도에 있어서 곡선(R39)으로 나타낸 바와 같이 온도 변화에 대해 저항치가 일정(약 1M Ω)의 온도특성을 갖춘 것이다. 이들의 저항소자(38,39)가 직렬로 접속됨으로써 그 합성저항 특성이 제10도에 있어서 곡선(R8b)으로 나타나도록 된다.

결국, 온도특성이 다른 저항소자(38,39)가 직렬로 조합됨으로써 저항소자(39)의 저항치가 온도에 대해 변화하지 않는 것으로 온도특성을 갖춘 저항소자(38)의 저항치가 온도상승에 따라 어느정도 작게 되어도

합성저항치는 저항소자(39)의 저항성분의 효력에서 그 값보다 낮아지지 않는 것으로 된다.

그러면, 링발진회로(103)의 바이어스전류는 제13도의 곡선(188b)에 나타낸 바와 같이 어느 온도 범위에서도 어느 일정치 이하로 제한된다. 이에 의해 어느 온도 범위에서도 필요이상으로 전류를 소비하는 것을 방지할 수 있다. 이때, 링발진회로(103)의 발진주파수도 어떤 일정치보다도 작게 되지 않도록 된다.

더구나, 제8도(c)에 나타낸 가변저항회로(8c)는 상기 가변저항회로(8a, 8b)를 조합시킨 것에 상당하고, 3개의 수동저항소자(40, 42)를 구비하고 있다. 저항소자(40)와 저항소자(41)와는 병렬로 접속되고, 그 병렬회로와 저항소자(42)가 직렬로 접속된 구성으로 되어 있다. 제11도는 각 저항소자 및 그 조합회로의 온도특성을 나타낸 것이다. 저항소자(40)는 온도가 높을수록 저항치가 낮아진다고 하는 제11도에 나타낸 곡선(R40)과 같은 온도특성을 갖춘 것으로 저항소자(36; 혹은 38)에 대응하고 저항소자(41)는 저항치가 온도에 대해 일정(약 10M Ω)한 곡선(R41)과 같은 온도특성을 갖추고 저항소자(42)는 저항치가 온도에 대해 일정(약 1M Ω)한 곡선(R42)과 같은 온도특성을 갖추고 있다.

상기와 같은 저항소자(40, 42)의 직렬접속과 병렬접속과의 조합의 경우에는 제11도에 나타낸 곡선(R8c)와 같이 합성저항치는 온도에 따라 변화하고, 상한이 저항소자(41), 하한이 저항소자(42)의 각 저항치에 의해 제한되는 것으로 된다.

상기 가변저항회로(8c)의 경우에는 가변저항회로(8a, 8b)의 특징을 합쳐서 갖추므로 링발진회로(103)의 바이어스전류는 제13도의 곡선(188c)으로 나타낸바와 같이, 어느 온도범위에서도 일정한 범위내로 제한되며, 이때 링발진회로(103)의 발진주기도 어느 범위 내의 값으로 제한되는 것으로 된다.

상기한 온도특성을 갖춘 저항소자(36, 38, 40)로서는 예컨대, SRAM에 있어서 알려져 있는 고저항(High-R), 결국 고저항 폴리실리콘 부하형 E/R셀에 이용하는 폴리실리콘 저하를 채용할 수 있다.

제14도는 그 제조공정도를 나타낸 것이다.

먼저, 층도(a)에 있어서 실리콘기판(141)의 소자영역상에는 게이트 산화막(142)이 형성되고, 그 소자간 분리영역상에는 소자분리 산화막(143)이 형성되고 있다. 더구나, 산화막(142)상으로부터 산화막(143)상에 관해서 게이트 배선재료로되는 폴리실리콘막(144)이 형성되고 있다. 이 폴리실리콘막(144)의 산화막(143)상의 부분이 고저항으로서 형성된다. 즉, 절연막 혹은 레지스트막으로 이루어진 마스크(145)를 고저항으로 하는 부분상에 피착하고, 그 상태에서 폴리실리콘막(144)으로 불순물이온(146)의 주입을 행한다. 이에 의해 제14도(b)에 나타낸 바와 같이 폴리실리콘막(144)은 불순물에 의해 실질적으로 도체화된 도선부분(147)과 불순물의 도입되지 않았던 실질 절연체의 그대로인 고저항부분(148)으로 구분되며, 게이트전극과 고저항으로 이루어진 온도특성 저항소자와의 접속이 자기 정합적으로 행해진다. 그후, 층간산화막(149)을 형성하고, 콘택트홀을 개공(開孔)하고 전극(14A)에 의해 다른 소자영역 등과의 접속을 형성하는 것으로 된다.

그런데, 전술한 실시예의 링발진회로(103)에서는 전원의존성을 갖춘 가변저항회로 혹은 온도의존성을 갖춘 가변저항회로의 어느 하나가 한쪽을 갖춘 구성으로되어 있지만 양자를 조합시키는 것도 가능하다.

제15도는 예로서 제2도의 가변저항회로(109)와 제8도(c)의 온도의존성 가변저항회로(8c)를 조합시킨 경우의 회로구성을 나타내고 있다. 이 경우 트랜지스터(32)는 가변저항회로(8c)에 있어서 저항소자(40, 41)의 고전위측 공통접속점과 저항소자(40) 간의 전류로써 그 소스-드레인이 직렬로 접속되며, 가변저항회로(109)의 전류의존성과 저항회로(8c)의 온도의존성을 합쳐서 갖춘 것으로 되어 있다.

즉, 트랜지스터(32)에 흐르는 전류가 크게 될수록 저항소자(40)의 효력이 저하하고, 해당 수동저항회로의 저항치는 저하한다. 역으로, 트랜지스터(32)에 흐르는 전류가 작게 될수록 저항소자(40)의 효력이 증대하고 해당 수동저항 회로의 저항치가 증대한다. 상기 수동저항회로의 저항치가 클수록 바이어스 트랜지스터(24, 25)에 대해 전원전압(VCC)의 분압비가 올라가며, 역으로 말하면 트랜지스터(24, 25)의 상대적인 분압비는 낮아지는 것으로 되기 때문에 전압(V1)에 의해 전원전압(VCC)이 클수록 해당 수동저항회로의 저항치가 증대하도록 한다면 전원전압(VCC)의 상승에 따른 바이어스 트랜지스터(1120)의 게이트전위의 상승, 링발진회로(103)의 발진주파수의 상승을 억제할 수 있다. 또한, 링발진회로(103)의 바이어스전류는 제13도의 곡선(188c)으로 나타낸 바와 같이, 어느 온도 범위에서도 일정한 범위내로 제한되며, 이때 링발진회로(103)의 발진주파수도 어느 범위내의 값으로 제한되는 것으로 된다.

따라서, 본 실시예에 의하면 링발진회로의 바이어스전압을 VCC 및 온도의 양조건에 따라 적절히 가변할 수 있게 된다.

더구나, 상기 실시예의 온도의존성 가변저항회로는 어느 것도 수동저항소자의 조합에 의해 형성되고 있지만, 일부 혹은 전체를 정전압 다이오드로 구성하고 그 온도특성을 이용하는 구성으로 할 수도 있다.

한편 본원 청구범위의 각 구성요건에 병기한 도면의 참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로서, 본원 발명의 기술적 범위를 도면에 도시된 실시예에 한정할 의도로 병기한 것은 아니다.

(발명의 효과)

이상 설명한 바와 같이 본 발명에 의하면, 고전위측에서 저전위측의 바이어스전압 출력회로와 전원전압이나 온도의존성의 특정조건에 따라 변화하는 가변저항회로에서 전원전압의 분압비가 형성되고 있기 때문에 그 가변저항회로의 저항치 변화에 의해 링발진회로의 바이어스전압을 이들의 조건에 따라 적절히 조정 가능하게 되고, 발진주파수의 전원의존성이 작고 혹은 온도특성을 갖춘 링발진기를 제공할 수 있고 소비전류 절약의 관점에서도 바람직한 것으로 될 수 있다.

소비전류에 대해 다시 말하면 전원의존성 가변저항회로서 전원전압의 상승에 대해 저항치가 소정의 특정에서 증대하도록 해둔 것으로, 전원전압이 상승해도 바이어스전압 출력회로나 링발진회로로 흐르는 전류를 증대시키지 않고 링발진회로를 형성하는 트랜지스터의 동작상태를 그 임계치 근방에서의 동작상태로 유지하고 링발진회로의 발진주파수의 상승을 억제할 수 있다.

이에 의해 링발진회로를 PSRAM의 셀프 셀 리프레쉬회로에 사용한 경우는 전원전압에 따른 리프레쉬주기

가 불필요하게 많게 되는 것을 방지할 수 있고 이 관점으로부터도 소비전류의 증대를 억제할 수 있게 된다.

더구나, 온도의존성 가변저항회로서 온도의 상승에 대해 저항치가 소정의 특성에서 저하하도록 해둔 것으로 온도에 따라 리프레쉬주기를 가변하고, 결국 온도가 높을수록 리프레쉬주기가 짧고, 온도가 낮을수록 리프레쉬주기가 길게 되는 최악포즈특성에 따라 리프레쉬주기를 바꿀 수 있다. 따라서, 링발진회로를 PSRAM에 적용하는 경우, 종래 그 PSRAM의 회로동작을 보증할 온도범위에 있어서 최악조건(가장 고온인 조건)에서의 리프레쉬주기에 한해서 링발진 회로의 발진주파수를 설정하고 있기 때문에 온도조건이 저온이 될수록 전류의 낭비로 연결되고 있지만, 본 발명에 의한 경우에는 필요한도의 리프레쉬주기에서 PSRAM의 회로동작을 보증하도록 링발진회로의 발진주파수를 설정할 수 있으므로 소비전류의 절약을 도모할 수 있게 된다.

(57) 청구의 범위

청구항 1

기수단의 CMOS 인버터회로(1V1,1V5)로 이루어진 링발진회로(103)와, 상기 CMOS 인버터회로(1V1,1V5)의 고전위측 트랜지스터(11,13,15,17,19)를 바이어스하는 고전위측 바이어스회로(104),

상기 CMOS 인버터회로(1V1,1V5)의 저전위측 트랜지스터(12,14,16,18,20)를 바이어스하는 저전위측 바이어스회로(105), 상기 고전위측 바이어스회로(104)로 바이어스전압을 출력하는 고전위측 바이어스전압 출력회로(106), 상기 저전위측 바이어스회로(105)로 바이어스전압을 출력하는 고전위측 바이어스전압 출력회로(107), 및, 특정의 조건에 따라 변화하는 가변저항회로(8a8c,109,1091',1091,150)를 상기 고전위측 바이어스전압 출력회로(106)와 상기 저전위측 바이어스전압 출력회로(107)와의 중간에 이들과 더불어 전원전압(VCC)의 분압기가 형성되도록 삽입하고 그 저항치의 변화에 의해 상기 고전위측 바이어스전압 출력회로(106)와 상기 저전위측 바이어스전압 출력회로(107)와의 출력전압을 가변하는 바이어스전압 조정회로(108)를 구비하여 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 2

제1항에 있어서, 다이내믹 메모리셀(203)과, 링발진회로(103)의 출력주파수에 기초한 사이클에서 상기 메모리셀(203)을 리프레쉬하는 리프레쉬 기능부(204208)를 구비하여 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 3

제1항에 있어서, 특정조건이 전원전압(VCC)인 것을 특징으로 하는 반도체 집적회로.

청구항 4

제2항에 있어서, 특정조건이 전원전압(VCC)인 것을 특징으로 하는 반도체 집적회로.

청구항 5

(정정)제4항에 있어서, 바이어스전압 조정회로(108)는 수동저항기(33,34)의 중간 노드에 가변제어트랜지스터(35)의 소스-드레인을 접속하고, 각 가변제어 트랜지스터(35)의 도통상태에 의해 그 양단간의 저항치를 가변하는 전원의존성 가변저항회로(109)와, 전원전압(VCC)의 상승에 수반해서 상기 가변제어 트랜지스터(35)의 게이트전위를 제어하는 제어전압발생회로를 구비하여 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 6

제5항에 있어서, 전원의존성 가변저항회로(109,1091')는 직렬접속된 복수의 수동저항소자(26,27)와, 이 복수의 수동저항소자(26,27)중 하나의 저항소자의 일단에 그 드레인이 접속되면서 상기 하나의 저항소자의 타단에 소스가 접속된 가변제어트랜지스터(32,321')로 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 7

제5항에 있어서, 전원의존성 가변저항회로(109,1091')는 직렬접속된 복수의 수동저항소자(26,27)와, 이 복수의 수동저항소자(26,27)중 제1저항소자와 제2저항소자의 사이에 그 드레인-소스간 전류로가 접속된 가변제어트랜지스터(32,321')로 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 8

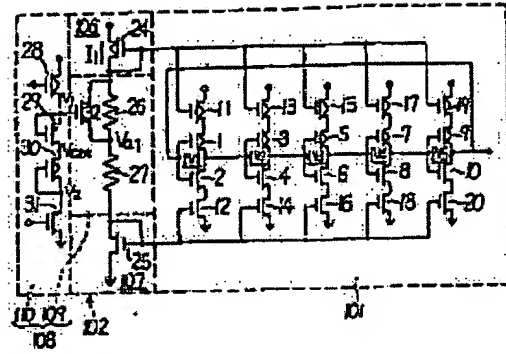
제5항에 있어서, 제어전압 발생회로(110)는 고전위측 전원과 저전위측 전원과의 사이에 전류로가 상호 직렬로 접속된 복수의 분압제어트랜지스터(2831)를 구비하고, 각 복수의 분압제어 트랜지스터(2831)의 전류로 상호 접속점으로부터 발생하는 전원전압의 중간전위(V1,V2)에 의해 가변제어트랜지스터(32,321')의 게이트전위제어하는 중간전위 발생회로(110)로 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 9

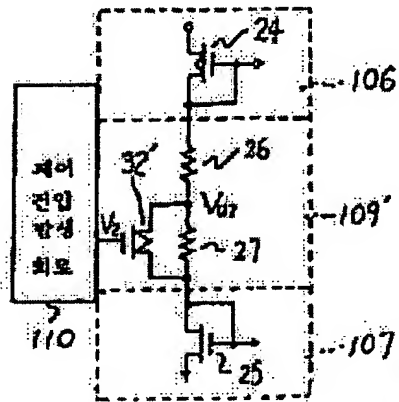
제1항에 있어서, 제어전압 발생회로(110)는 고전위측 전원과 저전위측 전원과의 사이에 전류로가 서로 직렬로 접속된 복수의 분압제어트랜지스터(2831)를 구비하고, 각 복수의 분압제어 트랜지스터(2831)의 전류로 상호 접속점으로부터 발생하는 전원전압의 중간전위(V1,V2)에 의해 가변제어트랜지스터(32,321')의 게이트전위를 제어하는 중간전위 발생회로(110)로 구성된 것을 특징으로 하는 반도체 집적회로.

청구항 10

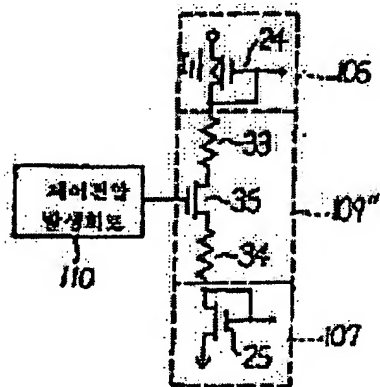
도 12



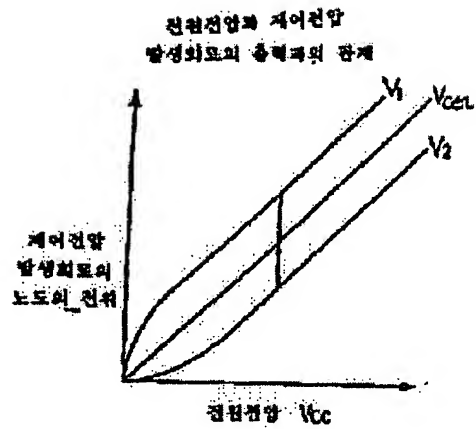
도 13



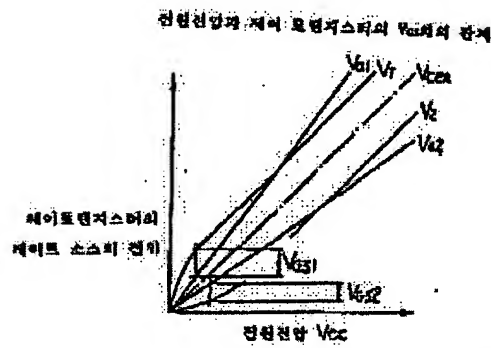
도 14



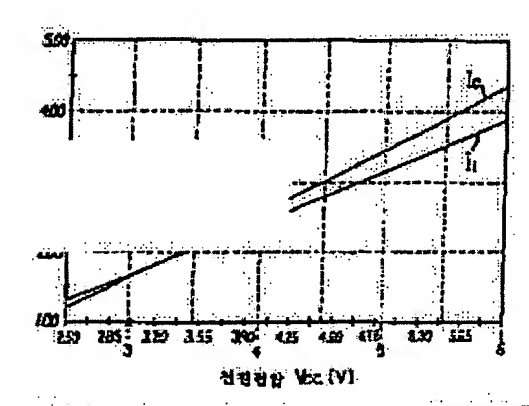
도 B5



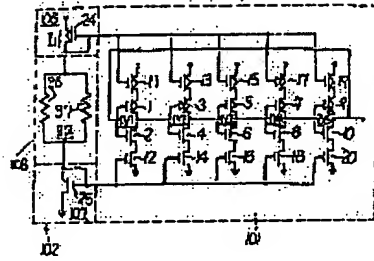
도 B6



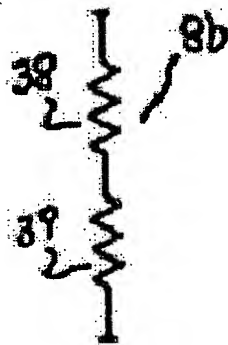
도 B7



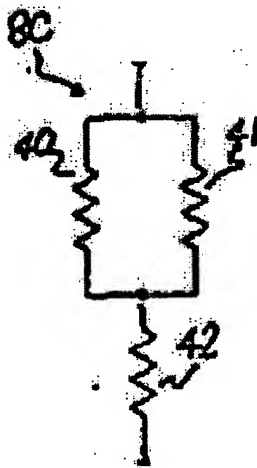
도면 8-a



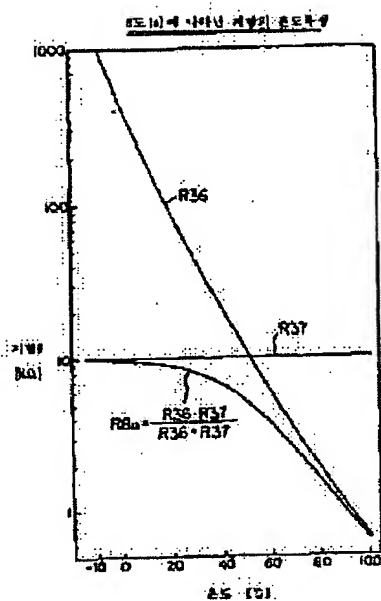
도면 8-b



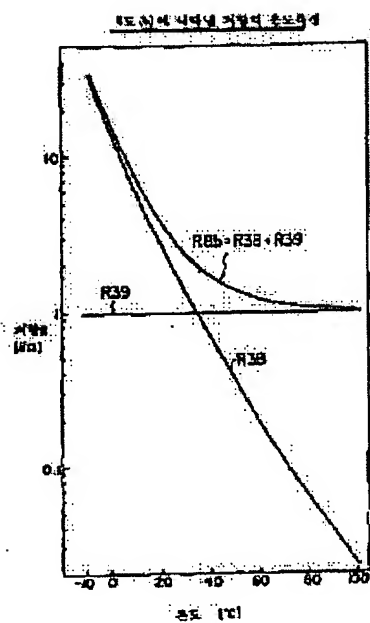
도면 8-c



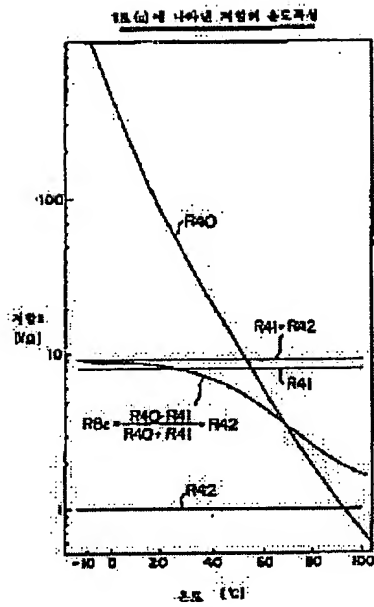
도 19



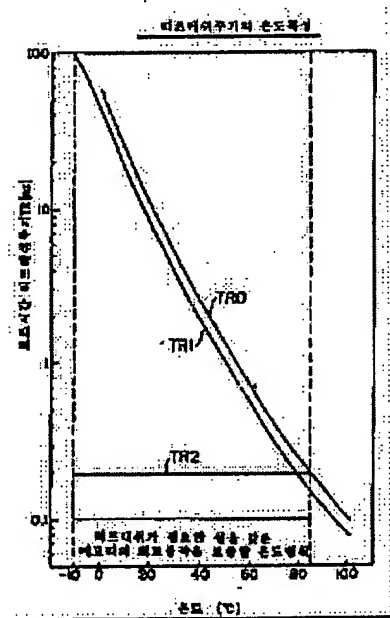
도 20



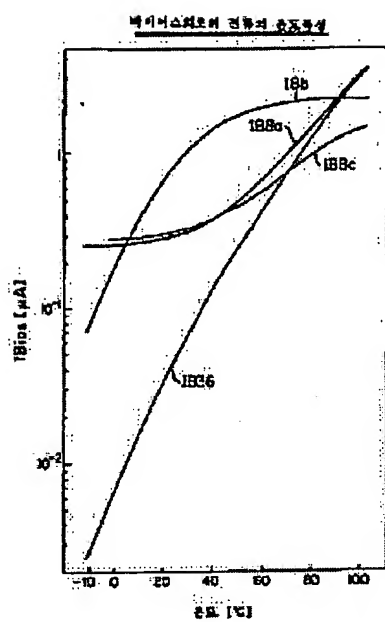
도면11



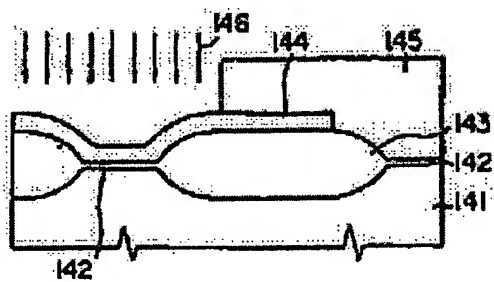
도면12



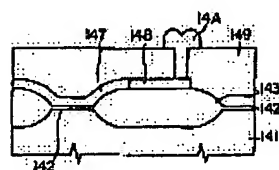
도면 13



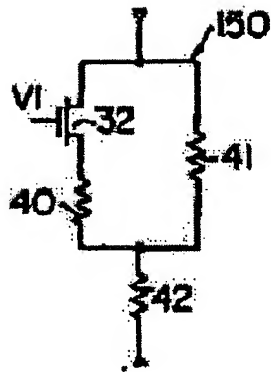
도면 14-a



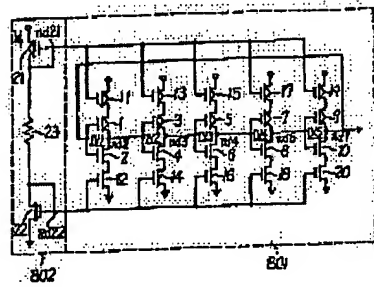
도면 14-b



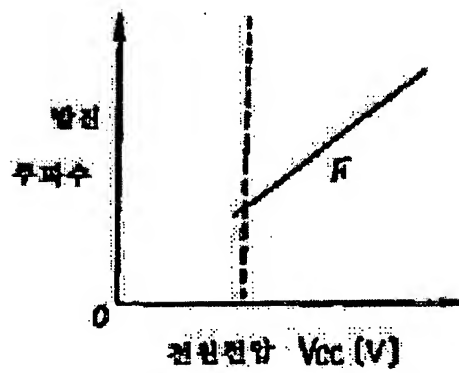
도면 15



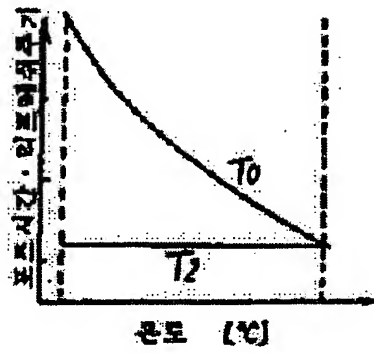
도면 16



도면 17-a



도면 17b



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.